(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平9－106668

(43)公開日　平成９年(1997)４月22日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｇ１１Ｃ　11/401			Ｇ１１Ｃ　11/34	３７１Ｅ	

審査請求　未請求　請求項の数８　ＯＬ　（全　６　頁）

(21)出願番号　特願平8－221095

(22)出願日　平成８年(1996)８月22日

(31)優先権主張番号　１９９５　Ｐ　２６１８１

(32)優先日　1995年８月23日

(33)優先権主張国　韓国（ＫＲ）

(71)出願人　390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416

(72)発明者　李　哲夏
大韓民国京畿道水原市八達区梅灘洞住公アパート４團地403棟501号

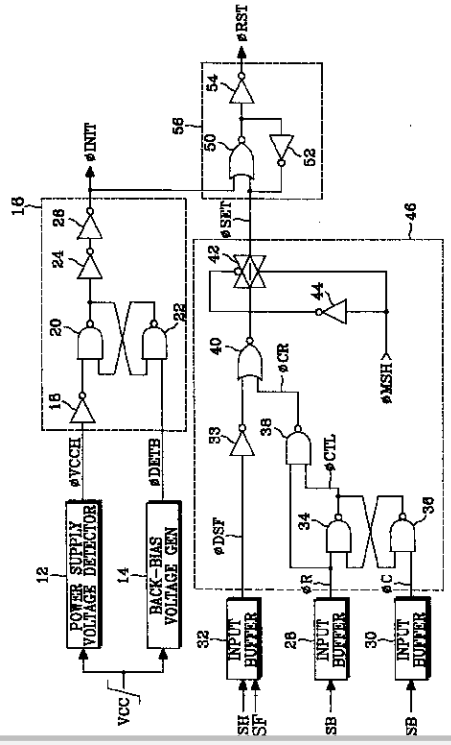
(74)代理人　弁理士　高月　猛

(54)【発明の名称】　半導体メモリ装置の初期化回路

(57)【要約】

【課題】　ＶＣＣの不安定により電源供給開始に伴う内部回路の初期化ができないような場合でも確実に初期化を行えるような初期化回路を提供する。

【解決手段】　外部提供の制御信号が所定の条件で活性入力されるとこれに応答して初期化信号を発生する初期化回路とする。即ち、従来の電源電圧検出部１２、バックバイアス電圧発生部１４、及び初期化信号発生部１６からなる構成に加え、バーＲＡＳ信号、バーＣＡＳ信号、及びモード選択信号ＤＳＦがＣＢＲモードで入力されるとこれに応答して第２初期化信号φＳＥＴを発生する第２初期化信号発生部４６と、第１初期化信号発生部１６による第１初期化信号φＩＮＩＴをラッチしまた第２初期化信号発生部４６による第２初期化信号φＳＥＴをラッチしてリセット信号φＲＳＴとし、内部回路へ出力する伝送部５６と、を備えるようにする。



DOCKET ALARM
Find authenticated court documents without watermarks at docketalarm.com.

【特許請求の範囲】
【請求項１】　電源供給開始に際して初期化信号を発生し内部回路を初期化する半導体メモリ装置の初期化回路において、
外部から提供される制御信号に応じて初期化信号を発生するようにしたことを特徴とする初期化回路。
【請求項２】　外部から提供される複数の制御信号が所定の条件で活性入力されるとこれに応答して初期化信号を発生する請求項１記載の初期化回路。
【請求項３】　外部から提供される第１制御信号及び第２制御信号の活性化に応答して前記第１制御信号の活性期間内で制御クロックを発生し、該制御クロックをモード選択信号による論理と組合せて初期化信号を発生する初期化信号発生部と、該初期化信号発生部による初期化信号をラッチして出力する伝送部と、を備えてなる請求項２記載の初期化回路。
【請求項４】　第１制御信号が行アドレスストローブ信号、第２制御信号が列アドレスストローブ信号であり、これらがＣＢＲモードで入力されると初期化信号を発生する請求項３記載の初期化回路。
【請求項５】　電源供給開始に際して初期化信号を発生し内部回路を初期化する半導体メモリ装置の初期化回路において、
電源電圧の入力に応じて第１初期化信号を発生する第１初期化信号発生部と、メモリアクセスに際して活性化される制御信号及び動作モードを決定するためのモード選択信号に応答して第２初期化信号を発生する第２初期化信号発生部と、前記第１、第２初期化信号をラッチして出力する伝送部と、を備え、前記第１初期化信号又は前記第２初期化信号を内部回路へ提供して初期化することを特徴とする初期化回路。
【請求項６】　第２初期化信号発生部は、行アドレスストローブ信号及び列アドレスストローブ信号の活性化に応答して行アドレスストローブ信号の活性期間内で制御クロックを発生し、該制御クロックをモード選択信号による論理と組合せて第２初期化信号を発生する請求項５記載の初期化回路。
【請求項７】　第２初期化信号発生部は、行アドレスストローブ信号を遅延させた遅延クロックに従い開閉して第２初期化信号を伝送部へ送る伝送ゲートを有する請求項６記載の初期化回路。
【請求項８】　行アドレスストローブ信号及び列アドレスストローブ信号がＣＢＲモードで提供されるときに第２初期化信号を発生する請求項６又は請求項７記載の初期化回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は半導体メモリ装置に関し、特に、その内部回路の初期化回路に関する。
【０００２】
【従来の技術】大容量・高集積化が進むにつれて半導体メモリ装置は多機能、複雑化してきており、このような半導体メモリ装置では、内部回路をリセットして初期動作条件を設定する初期化回路が備えられている。初期化回路は、外部から初期供給される電源電圧ＶＣＣのレベルを検出して所定のパルス幅のリセットパルスを発生するパワーオンリセット回路と呼ばれるものが一般的である。即ち、パワーオンリセット回路は、電源電圧の供給による電圧レベルを検出して予め設定された所定のレベル以上になると内部回路を初期化する初期化パルス信号を発生する回路で、図１にその構成を示している。
【０００３】電源電圧検出部１２は、電源電圧ＶＣＣの入力レベルを検出して電源電圧検出信号φＶＣＣＨを発生し、また、バックバイアス電圧発生部１４は、電源電圧ＶＣＣの入力状態が安定した後にバックバイアス電圧ＶＢＢを発生し、そしてこれを検出してバックバイアス検出信号φＤＥＴＢを出力する。発生された電源電圧検出信号φＶＣＣＨ及びバックバイアス検出信号φＤＥＴＢは初期化信号発生部１６へ提供され、これに従って初期化信号発生部１６は、電源電圧検出信号φＶＣＣＨの発生からバックバイアス検出信号φＤＥＴＢの発生までの間で初期化信号φＩＮＩＴを発生する。図示のように初期化信号発生部１６は、電源電圧検出信号φＶＣＣＨにより出力端子が論理“ハイ”セットされ、バックバイアス検出信号φＤＥＴＢにより出力端子が論理“ロウ”リセットされるフリップフロップの構成とされる。
【０００４】図２には、図１の初期化回路のタイミング図を示してある。チップに対し電源供給が開始され電源電圧ＶＣＣが０Ｖから徐々に増加すると、電源電圧検出部１２は、例えば３Ｖの動作レベルまで上昇する電源電圧ＶＣＣの入力状態を検出した電源電圧検出信号φＶＣＣＨを発生し、適正時間後に論理“ロウ”へ遷移させる。このように出力される電源電圧検出信号φＶＣＣＨが初期化信号発生部１６内のインバータ１８に提供される。インバータ１８は、動作レベルまで上昇する電源電圧ＶＣＣの入力状態を検出した電源電圧検出信号φＶＣＣＨに従って、互いの出力と入力を交差接続したＮＡＮＤゲート２０，２２からなるＲＳフリップフロップをセットし、その結果、インバータ２４，２６を通じて論理“ハイ”の初期化信号φＩＮＩＴが出力される。この状態は、インバータ１８から論理“ハイ”が出力され且つＮＡＮＤゲート２２に論理“ロウ”が入力されるまで継続する。
【０００５】一方、電源電圧ＶＣＣにより動作するバックバイアス電圧検出部１４は、入力される電源電圧ＶＣＣが予め設定された例えば３Ｖの動作レベルで安定化すると、図２に示すように負電圧－Ｖのバックバイアス電圧ＶＢＢを発生する。そして、負電圧－Ｖのレベルが例えば－３Ｖで安定するとバックバイアス検出信号φＤＥＴＢを論理“ロウ”遷移させる。このようにしてバック

DOCKET ALARM
Find authenticated court documents without watermarks at docketalarm.com.

バイアス検出信号φＤＥＴＢが論理“ロウ”遷移し、これが初期化信号発生部１６内のＮＡＮＤゲート２２へ入力されると、ＮＡＮＤゲート２０，２２よりなるＲＳフリップフロップがリセットされ、インバータ２４，２６を通じて初期化信号φＩＮＩＴは論理“ロウ”遷移する。

【０００６】以上のようにして発生されるパルスの初期化信号φＩＮＩＴが内部回路の各リセットノードへ供給される結果、初期化が行われる。

【０００７】

【発明が解決しようとする課題】図示のような従来の初期化回路では、電源電圧ＶＣＣの入力が不安定な場合には誤動作を起こす可能性がある。例えば、電源電圧ＶＣＣが０Ｖから動作レベルまで上昇する時間が数ｍｓ（通常は２００μｓ程度）以上かかってしまう場合（図２中点線）、或いは、何らかの理由で電源電圧ＶＣＣのレベルが内部回路の動作電圧より低く入力される場合は、電源電圧検出部１２が誤動作して電源電圧検出信号φＶＣＣＨが正常に出力されなくなる。このような事態になると、初期化信号発生部１６による初期化信号φＩＮＩＴのパルス幅が非常に短くなるか、或いは出力されなくなり、内部回路の初期化が行われなくなってしまう。

【０００８】

【課題を解決するための手段】上記課題に鑑みて本発明では、外部から提供される制御信号に応じて初期化信号を発生し内部回路の初期化を実行する初期化回路を提供する。好ましくは、外部から提供される複数の制御信号が所定の条件で活性入力されるとこれに応答して初期化信号を発生する初期化回路とする。即ち、パワーアップ時に電源電圧の不安定で誤動作を生じる可能性がある場合でも、別途の初期化情報の入力に応答して内部回路を確実に初期化できる初期化回路を提供する。例えば、バーＣＡＳ信号及びバーＲＡＳ信号がＣＢＲ(CAS before RAS)モードで入力されるとこれに応答して内部回路を初期化する初期化回路とするものである。

【０００９】具体的回路構成として本発明によれば、外部から提供される第１制御信号及び第２制御信号の活性化に応答して前記第１制御信号の活性期間内で制御クロックを発生し、該制御クロックをモード選択信号による論理と組合せて初期化信号を発生する初期化信号発生部と、該初期化信号発生部による初期化信号をラッチして出力する伝送部と、を備えてなる初期化回路とする。この場合、第１制御信号を行アドレスストローブ信号、第２制御信号を列アドレスストローブ信号とし、これらがＣＢＲモードで入力されると初期化信号を発生するようにしておくとよい。

【００１０】また、本発明によれば、電源供給開始に際して初期化信号を発生し内部回路を初期化する半導体メモリ装置の初期化回路において、電源電圧の入力に応じて第１初期化信号を発生する第１初期化信号発生部と、メモリアクセスに際して活性化される制御信号及び動作モードを決定するためのモード選択信号に応答して第２初期化信号を発生する第２初期化信号発生部と、前記第１、第２初期化信号をラッチして出力する伝送部と、を備え、前記第１初期化信号又は前記第２初期化信号を内部回路へ提供して初期化することを特徴とする。この場合の第２初期化信号発生部は、行アドレスストローブ信号及び列アドレスストローブ信号の活性化に応答して行アドレスストローブ信号の活性期間内で制御クロックを発生し、該制御クロックをモード選択信号による論理と組合せて第２初期化信号を発生するものとすることができる。またこのときの第２初期化信号発生部は、行アドレスストローブ信号を遅延させた遅延クロックに従い開閉して第２初期化信号を伝送部へ送る伝送ゲートを有するものとするとよい。そして、行アドレスストローブ信号及び列アドレスストローブ信号がＣＢＲモードで提供されるとときに第２初期化信号を発生するようにしておくとよい。

【００１１】

【発明の実施の形態】以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【００１２】図３に、一実施形態としてＤＲＡＭにおける初期化回路の例を示す。図示のように図１同様の構成に加えて、外部制御信号がＣＢＲモードで入力されるとこれに応答して第２初期化信号φＳＥＴを発生する第２初期化信号発生部４６と、図１同様の第１初期化信号発生部１６による第１初期化信号φＩＮＩＴをラッチした第２初期化信号発生部４６による第２初期化信号φＳＥＴをラッチしてリセット信号φＲＳＴとし、内部回路のリセットノードへ出力する伝送部５６と、を備えている。

【００１３】この初期化回路にパワーアップで電源電圧ＶＣＣの供給が開始されると、電源電圧検出部１２、バックバイアス電圧発生部１４、及び第１初期化信号発生部１６からなる部分により、図２同様のタイミングをもって第１初期化信号φＩＮＩＴが発生され、伝送部５６内のＮＯＲゲート５０へ提供される。このときＮＯＲゲート５０のもう一方の入力となる第２初期化信号φＳＥＴは論理“ロウ”の状態にある。従ってＮＯＲゲート５０は、第１初期化信号φＩＮＩＴに応じる論理“ロウ”を出力する。このＮＯＲゲート５０の出力はインバータ５２でラッチされると共にインバータ５４を経てリセット信号φＲＳＴとして出力される。即ち、電源電圧ＶＣＣの入力により論理“ハイ”パルスの第１初期化信号φＩＮＩＴが発生するとこれに従うリセット信号φＲＳＴが伝送部５６から発生され、内部回路が初期化される。尚、第１初期化信号φＩＮＩＴは直接的に内部回路へ提供されるようにしておいてもよい。

【００１４】一方、初期化情報として使用する制御信号が予め設定された真理値表を満足する条件で第２初期化

DOCKET ALARM
Find authenticated court documents without watermarks at docketalarm.com.

信号発生部４６へ提供されると、第２初期化信号発生部４６は、所定期間論理“ハイ”となるパルスの第２初期化信号φＳＥＴを図４のタイミング図のようにして発生する。本例における初期化情報は、メモリアクセスに際して活性化される第１制御信号及び第２制御信号としての行アドレスストローブ信号ＲＡＳＢ（＝バーＲＡＳ）及び列アドレスストローブ信号ＣＡＳＢ（＝バーＣＡＳ）と、メモリの動作モードを決定するモード選択信号ＤＳＦである。

【００１５】上記３種類の初期化情報がＣＢＲモードで入力されると、チップに備えられる入力バッファ２８，３０，３２からそれぞれ行アドレスクロックφＲ、列アドレスクロックφＣ、モード選択クロックφＤＳＦが発生される。モード選択クロックφＤＳＦは、モード選択信号ＤＳＦに従い論理“ハイ”に活性化され、行アドレスクロックφＲを遅延させた遅延クロックφＭＳＨが非活性化されるまで活性状態を維持する。

【００１６】行アドレスストーブ信ＲＡＳＢによる行アドレスクロックφＲはＮＡＮＤゲート３４の入力となり、列アドレスストローブＣＡＳＢによる列アドレスクロックφＣはＮＡＮＤゲート３６の入力となる。これらＮＡＮＤゲート３４，３６の他方の入力は、相手側の出力と互いに交差接続される。従って、列アドレスクロックφＣが論理“ハイ”へ活性化されると、これに応じるＮＡＮＤゲート３４，３６により論理“ハイ”の制御クロックφＣＴＬが発生される。発生した制御クロックφＣＴＬは、ＮＡＮＤゲート３８へ入力されて行アドレスクロックφＲとＮＡＮＤ演算され、行アドレスストローブ信号ＲＡＳＢの活性期間内で制御クロックφＣＲが発生される。この例では、行アドレスストローブ信号ＲＡＳＢの活性化後に列アドレスストローブ信号ＣＡＳＢが非活性化されるまでの間で制御クロックφＣＲは発生される。

【００１７】制御クロックφＣＲはＮＯＲゲート４０へ入力され、インバータ３３により反転したモード選択クロックφＤＳＦとＮＯＲ演算される。これによるＮＯＲゲート４０の出力は、遅延クロックφＭＳＨにより開閉する伝送ゲート４２を介し第２初期化信号φＳＥＴとして伝送部５６のＮＯＲゲート５０へ提供される。伝送ゲート４２は、遅延クロックφＭＳＨの論理“ハイ”活性でオンスイッチされる構成である。

【００１８】伝送部５６では、この場合論理“ロウ”で入力される第１初期化信号φＩＮＩＴと上記のようにして論理“ハイ”で入力される第２初期化信号φＳＥＴとをＮＯＲゲート５０が演算する結果、インバータ５２，５４の入力が論理“ロウ”となり、その論理状態がインバータ５２でラッチされると共にインバータ５４から論理“ハイ”のリセット信号φＲＳＴが出力され、内部回路が初期化される。

【００１９】第２初期化信号φＳＥＴにより論理“ハイ”となったリセット信号φＲＳＴは、列アドレスストローブ信号ＣＡＳＢが非活性化されるまでの間そのまま維持される。即ち、列アドレスストローブ信号ＣＡＳＢが論理“ハイ”に遷移すると、入力バッファ３０から出力される列アドレスクロックφＣが論理“ロウ”に非活性化され、そしてＮＡＮＤゲート３４，３６による制御クロックφＣＴＬが論理“ロウ”になる。これにより制御クロックφＣＲが論理“ハイ”になり、第２初期化信号φＳＥＴは論理“ロウ”へ遷移する。つまり、行アドレスストローブ信号ＲＡＳＢの活性期間で列アドレスストローブ信号ＣＡＳＢが非活性化されると第２初期化信号φＳＥＴは論理“ロウ”へ遷移し、これに従って伝送部５６の論理状態が変化してリセット信号φＲＳＴが初期化解除となる。

【００２０】この実施形態では、特に１つの伝送部５６を用いて第１初期化信号発生部１６による第１初期化信号φＩＮＩＴ及び第２初期化信号発生部４６による第２初期化信号φＳＥＴのいずれかをリセット信号φＲＳＴとして供給する例を示したが、両初期化信号をそれぞれ独立的に内部回路へ提供する構成でも初期化動作は可能である。

【００２１】

【発明の効果】本発明によれば、パワーアップによる初期化信号発生及び初期化条件を満たす制御信号による初期化情報に応答しての初期化信号発生の両方を可能としたので、パワーアップリセットで誤動作が発生したとしても、例えば行アドレスストローブ信号の活性サイクルの始めで確実に初期化を実行することができる。従って、より誤動作が少なく信頼性の高い半導体メモリ装置を提供することができるようになる。

【図面の簡単な説明】

【図１】一般的な初期化回路を示す回路図。

【図２】図１に示す初期化回路の動作を説明する信号波形図。

【図３】本発明による初期化回路の実施形態を示す回路図。

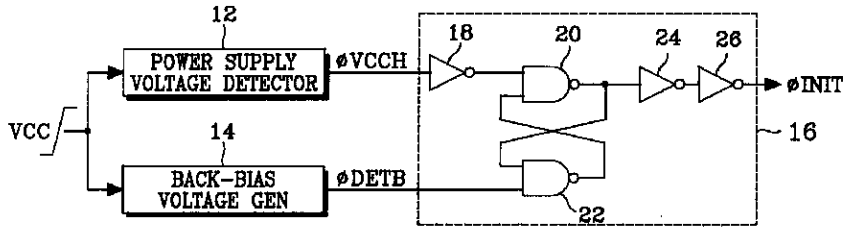
【図４】図３に示す初期化回路の動作を説明する信号波形図。

【符号の説明】

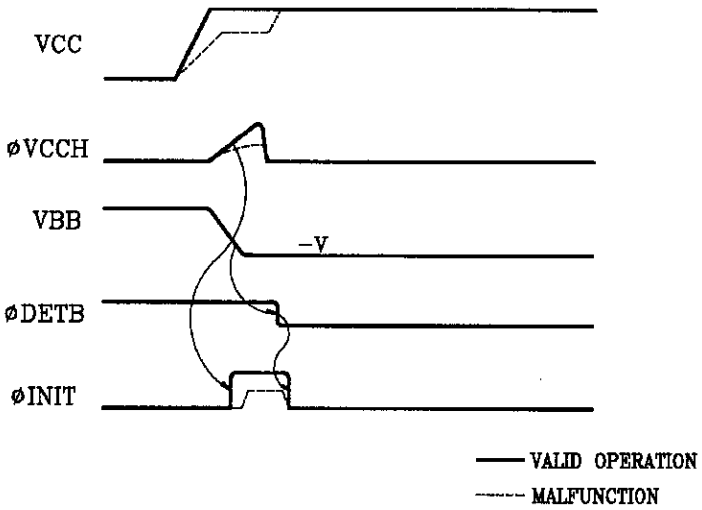
１２　電源電圧検出部
１４　バックバイアス電圧発生部
１６　第１初期化信号発生部
２８，３０，３２　入力バッファ
４６　第２初期化信号発生部
５６　伝送部

DOCKET ALARM
Find authenticated court documents without watermarks at docketalarm.com.

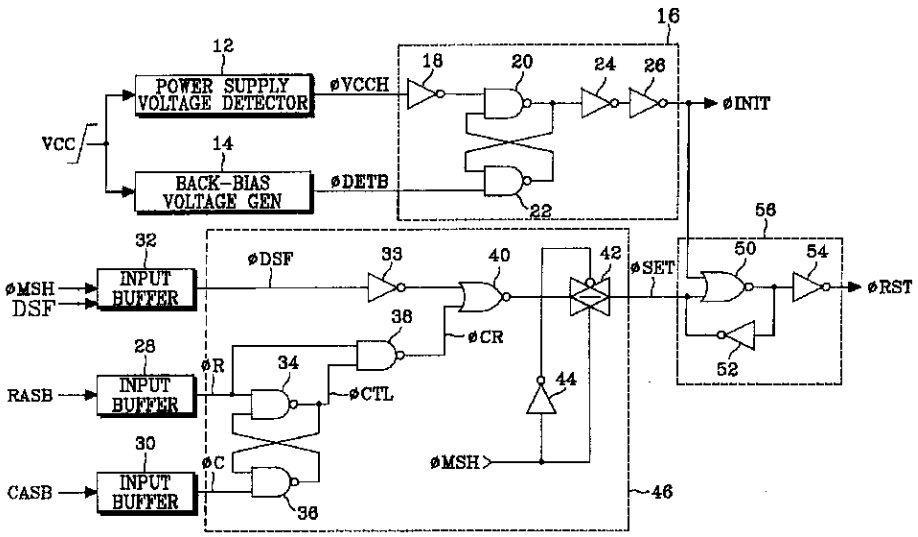
【図１】



【図２】



【図３】



DOCKET ALARM
Find authenticated court documents without watermarks at docketalarm.com.

DOCKET ALARM

Explore Litigation Insights

Docket Alarm provides insights to develop a more informed litigation strategy and the peace of mind of knowing you're on top of things.

Real-Time Litigation Alerts

Keep your litigation team up-to-date with **real-time alerts** and advanced team management tools built for the enterprise, all while greatly reducing PACER spend.

Our comprehensive service means we can handle Federal, State, and Administrative courts across the country.

Advanced Docket Research

With over 230 million records, Docket Alarm's cloud-native docket research platform finds what other services can't. Coverage includes Federal, State, plus PTAB, TTAB, ITC and NLRB decisions, all in one place.

Identify arguments that have been successful in the past with full text, pinpoint searching. Link to case law cited within any court document via Fastcase.

Analytics At Your Fingertips

Learn what happened the last time a particular judge, opposing counsel or company faced cases similar to yours.

Advanced out-of-the-box PTAB and TTAB analytics are always at your fingertips.

API

Docket Alarm offers a powerful API (application programming interface) to developers that want to integrate case filings into their apps.

LAW FIRMS
Build custom dashboards for your attorneys and clients with live data direct from the court.

Automate many repetitive legal tasks like conflict checks, document management, and marketing.

FINANCIAL INSTITUTIONS
Litigation and bankruptcy checks for companies and debtors.

E-DISCOVERY AND LEGAL VENDORS
Sync your system to PACER to automate legal marketing.